

Xilinx IP Core 的使用

一、IP - Intellectual Property

1、Altera 的IP

(1) 基本宏功能 LPM: Library of parameterized modules

- ◆ Arithmetic-算术组件: 加、减、乘、除、比较、开方、简单编译码等
- ◆ Gates-门: 与、或、非、异或、三态、集线器等
- ◆ I/O-输入输出组件: PLL、DDR 等
- ◆ Memory Compiler-存储器编译器: FIFO、RAM、ROM 等
- ◆ Storage-存储组件: 触发器、锁存器、移位寄存器

(2) 高级 IP 核 Megacore

- ◆ Communications-通信类: UTOPIA, POS-PHY, 8B10B, CRC
- ◆ DSP-数字信号处理类: Reed-Solomon, Viterbi, CIC, FIR, NCO, FFT, Video and Image Processing tools
- ◆ Interfaces-接口类: ASI, Ethernet, HyperTransport, DDR SDRAM, PCI, PCI-E, RapidIO, SDI
- ◆ SOPC Builder-微处理器: Nios II

2、单口RAM的设计与验证

3、双口RAM的设计与验证

4、练习

自己编写一个双端口 RAM, 并与 IP CORE 比较是否一致?

经验总结:

- (1) IP 核中使用对 RAM 初始化时, 应该把 IP 核生成到当前工程目录下, 而不可以单独建立子目录。

5、FIFO的设计与验证

- ◆ FIFO(First In First Out), 是一种可以实现数据先入先出的存储器件。FIFO 就像一个单向管道, 数据只能按固定的方向从管道一头进来, 再按相同的顺序从管道另一头出去, 最先进来的数据必定是最先出去。FIFO 存储器被普遍用作数据缓冲器, 或者用来存储异步信号的频率差或相位差。
- ◆ 对基于单体存储器的 FIFO, 作为一种数据缓冲器, 其数据存放结构和 RAM 是一致的, 只是存取方式有所不同。任何时候 FIFO 都有数据输出, 不像 RAM 只有在读有效时才有数据输出。因 RAM 中的各存储单元可被随机读写, 故 FIFO 的队首位置及队列长度均可浮动。为此需要用两个地址寄存器, 分别存储读地址 (即队首元素地址) 和写地址 (即队尾元素地址加 1)。在读写过程中 FIFO 所存储的信息并不移动, 而是通过改变读地址或写地址来指示队首队尾。
- ◆ 根据 FIFO 工作的时钟域的不同, FIFO 可以分为同步 FIFO 和异步 FIFO。同步 FIFO 是指读时钟和写时钟为同一个时钟, 在时钟沿来临时同时发生读写操作。异步 FIFO 是指读写时钟不一致, 读写时钟是互相独立的。

经验:

- (1) FIFO 控制的关键是对空和满信号的控制
- (2) FIFO IP Core, 一般选择 Block RAM

练习:

- 1、自己写一个 FIFO, 注意空满的判断, 解决原先浪费 1 字节的问题。
- 2、使用 IP 生成深度为 256byte, 位宽为 8bit 的 FIFO
 - (1) 写时钟为 50MHz, 读时钟为 50MHz, 实现数据的写入和读出 (同步)
 - (2) 写时钟为 25MHz, 读时钟为 50MHz, 实现数据的写入和读出 (读等待)
 - (3) 写时钟为 50MHz, 读时钟为 25MHz, 实现数据的写入和读出 (写等待)